

リソグラフィーにおける高精度パターンニングと位置制御に関する研究

著者	河村 栄一
号	52
学位授与番号	3950
URL	http://hdl.handle.net/10097/37666

	かわむらえいいち
氏 名	河村 栄一
授 与 学 位	博士(工学)
学 位 授 与 年 月 日	平成20年3月25日
学 位 授 与 の 根 拠 法 規	学位規則第4条第1項
研究科, 専攻の名称	東北大学大学院工学研究科(博士課程) 電子工学専攻
学 位 論 文 題 目	リソグラフィーにおける高精度パターンニングと位置制御に関する研究
指 導 教 員	東北大学教授 伊藤 隆司
論 文 審 査 委 員	主査 東北大学教授 伊藤 隆司 東北大学教授 高橋 研 東北大学教授 須川 成利 東北大学准教授 小谷 光司

論文内容要旨

はじめに ULSI(Ultra Large Scale Integration)の微細化はリソグラフィー技術、とりわけ露光装置の技術革新に大きく依存して発展してきたが、線幅精度、位置合わせ精度で代表される加工精度は、単なる露光装置技術だけでは解決しないリソグラフィープロセス全体の最適化が問われる大きな課題である。そのためにリソグラフィープロセスの加工精度の変動因子を明らかにし、各変動因子について具体的にその解決方法(制御技術)の提案をし、実証してゆくことが重要である。

本課題を解決するために、ULSI 製造におけるリソグラフィープロセス全般にわたる加工精度の要因を分析した結果、線幅制御技術として、①投影露光の原理に起因するマスクパターンのウェーハ上での歪み(光近接効果)の補正技術の研究、②マスク内の汎用的なパターンの線幅精度向上に対応するために、パターンの規則性の違いを考慮した光近接効果補正の最適化の研究、③下地からの露光光の反射による線幅および形状劣化の抑制技術の研究、④デフォーカスによって劣化する線幅精度を管理するための手法として、レジストパターンの光計測によるフォーカスポイント計測技術の研究を行った。また位置制御技術としては、⑤位置合わせ精度の根幹を成すアライメント光学系の収差の抑制技術の研究を行った。さらに製造ラインにおいては、リソグラフィープロセス以外の要因によってロットの平均的な線幅や、位置ズレが変動する現象(ロット間変動)によって大きく加工精度が劣化するために、これを抑制するための提案と実証を行った。

本要旨においては、この中でもとりわけ線幅精度に強く影響を及ぼす光近接効果の補正技術と、位置合わせ精度に大きな影響を及ぼすアライメント光学系の収差の抑制技術に関する研究、および製造ラインにおけるロット間変動の制御に関する研究について紹介する。

光近接効果補正技術の研究 光近接効果が問題化した背景としては、微細化に伴い、光の干渉を積極的に用いる照明条件が用いられようになったことや、露光装置の分解能近傍でパターン設計が行われるようになったことが大きく影響している。光近接効果のデバイス上での顕著な現象としては、CMOS ロジックゲートの疎パターンと密パターンの数十 nm にもおよぶ大きな寸法乖離である。これは、 I_{on} 電流、 V_{th} 、 I_{off} 電流のバラツキに直接的な影響を及ぼすために歩留まりの悪化としても現れる。光近接効果を抑制するためには、その原理現象を把握する必要があるため、事前に投影露光における空間像のシミュレーションを開発した。そして、ロジックゲートが平行で直線的なパターンで構成されていることから、最小寸法の直線パターンが隣のパターンとの距離関係でどのような線幅変動を受けるのかを、シミュレーションにより予測した。(図1) また、シミュレーションの検証として TEG を作成して実験を行い、図2の結果を得た。図1, 2の横軸は $0.35\ \mu\text{m}$ 線幅の $20\ \mu\text{m}$ 長のラインのピッチを示し、縦軸には、孤立の線幅を基準とした、2本組平行ラインの平均線幅との差(OPE1)と、5本組平行ラインの中央線幅との差(OPE2)を示している。両図共に、 $OPE2 = 2 \times OPE1$ であり、ピッチに対する傾向もよく一致している事が分かる。この結果から、光の近接効果は、対向するパターンの辺の位置の変化であることを予測した。

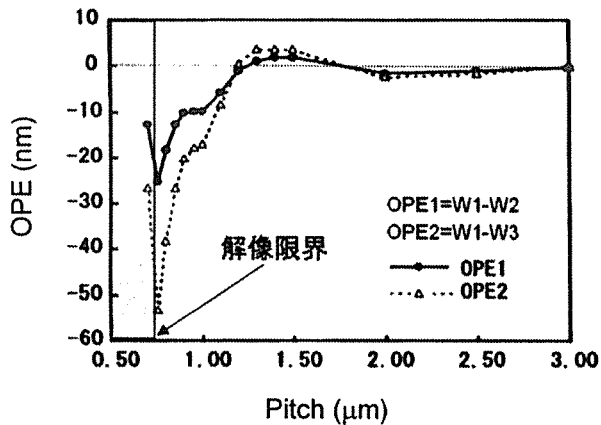


図1 シミュレーション

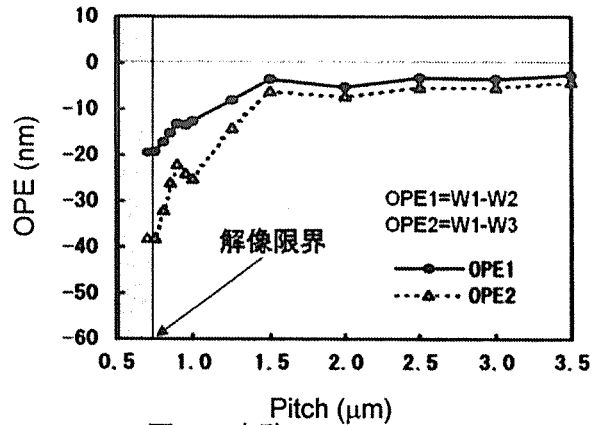


図2 実験

図1と図2の一致からシミュレーションの妥当性を確認したため、シミュレーションによって、さらに詳細な現象の把握を行った。図3には、ピッチの異なる3種類の直線パターン群の左端の光強度分布を示した。図3の横軸は図1, 2同様であり、縦軸は光強度分布である。本図より、ピッチの異なる3種類のパターンの左端の光強度分布はほとんど変化せず、左端のマスクパターンの右側（内側）の光強度が大きく変化していることが分かる。これにより、光の近接効果の現象が対向する辺の位置の移動であることを特定した。次に、ゲート層が直線を基調としたパターンで形成されていることから、今回の現象を抑制する非常に簡便な手法を考案した。図4に示すようにCMOS ロジックゲートセルパターンを対向するパターンのコーナーを参照して自身のパターンを分割することによって、平行に対向するパターン部分を形成する。次に、図2に示す実験より求めた所定の線幅のピッチに対する光近接効果による線幅変動を補償する辺の移動を行うものである。

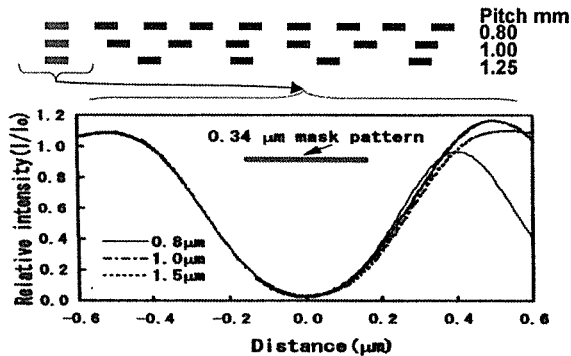


図3 左端パターンのピッチと空間像の関係

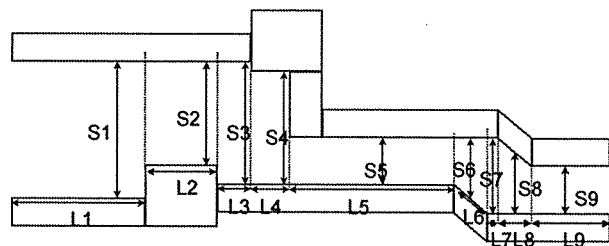


図4 光近接効果補正のためのパターン分割方法

本アルゴリズムをプログラム化して、実際の設計データに対して光近接効果のデータ処理、マスク作成を行い、本アルゴリズムの効果の検証を行った結果を図5に示した。図5より、本アルゴリズムを適用することで、従来最大33 nm存在した設計寸法からの乖離が45度パターンで8 nm、他は2~3nmに抑制され大幅な線幅精度の改善を達成した。

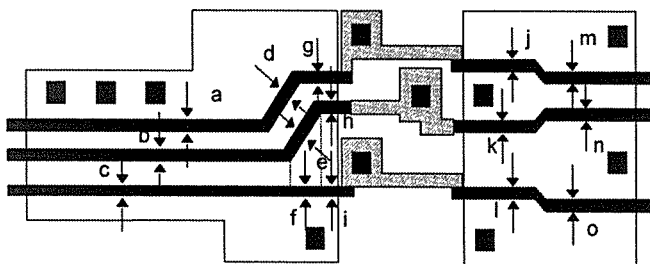
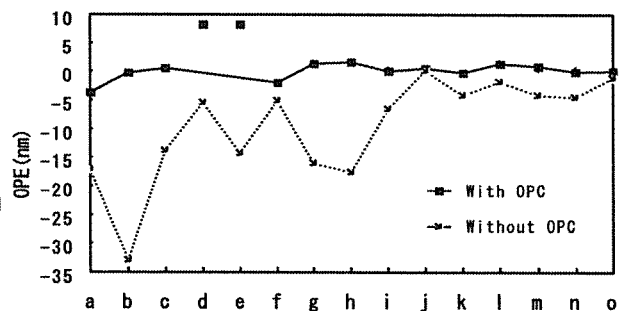


図5 光近接効果補正による線幅乖離の向上



アライメント精度向上技術の研究 位置合わせにおけるアライメント光学系の収差の影響については、製造ラインでは制御不可能であるため、その現象の把握、および抑制手法の確立が急務な背景があった。本件については、先に開発した投影露光のシミュレータを用い、アライメントマークを位相段差として、収差と明視野アライメント信号波形の関係を調査した。その結果、照明系のテレセントズレの存在下では、図6に示すように、アライメント信号波形の非対称性が段差と共に大きく変化する現象が明らかとなった。特に位相段差として、 $4/16\lambda$ 、 $12/16\lambda$ (Si 段差としては、 $2/16\lambda$ 、 $6/16\lambda$) の際に、ピーク強度の差としての非対称性が最も大きいことが判明した。

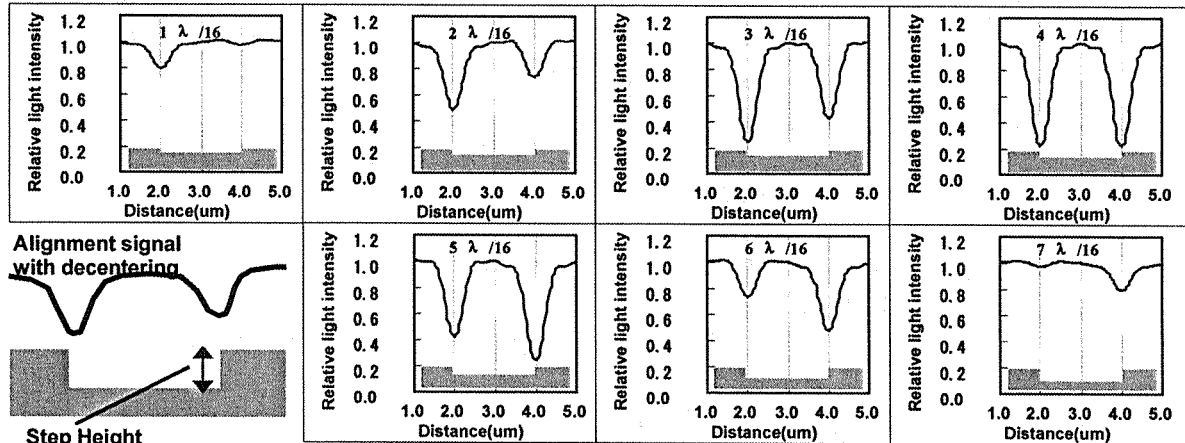


図6 照明系のテレセントズレの存在下におけるアライメントマーク段差と信号波形の関係

また、コマ収差の存在下では、現象は異なるが、アライメント信号の非対称性およびシフトが観察され、アライメントマーク段差によって信号強度が大きく変化することが判明した。

アライメント光学系の収差は、レンズ設計上のレンズ配置が、組み立て段階で誤差が生じることに起因して発生するため、必然的にテレセントズレ（光軸ズレ）が発生することが予想される。テレセントズレは、 $2/16\lambda$ 、 $6/16\lambda$ のSi 段差で大きな非対称性を発生させ、結果位置ズレの原因となる。また一般的に照明光は、干渉によるアライメント信号のS/N比の変動を避けるために、ブロードバンドが採用されている。そして、テレセントズレによって色収差の影響が大きくなることも予想される（図7）。これらの状況を鑑み、ブロードバンド光の両端の短波長側、長波長側の光を用い、 $2/16\lambda$ のSi 段差のアライメント計測値の波長による差をアライメント光学系の収差を代表する尺度（CIS: Chromatic Image Shift）とすることを提案した。この尺度を、アライメント光学系の配置を意図的に調整することで5水準振り、それぞれに対応する、実デバイスのゲート構造上での位置ズレをプロットしたのが図8である。本図より、ゲート構造においてアライメントのバイアスを20 nm以下にするためには、CISを4 nm以下にすれば良いことが分かった。

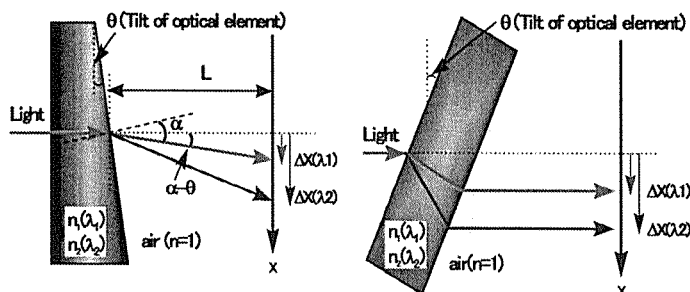


図7 色収差とアライメント光学系の傾きの関係

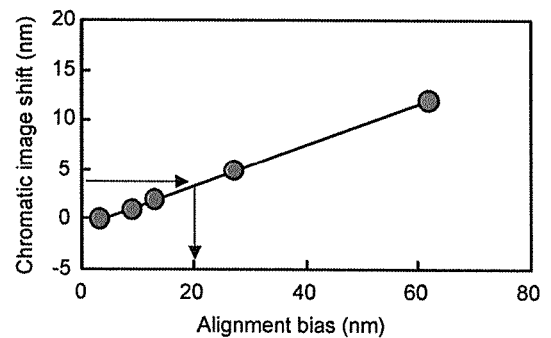


図8 CIS とゲート構造におけるアライメントバイアスの関係

今回 350 nm node 対応の露光装置に対して、CIS を 4nm 以下に調整した。本露光装置状態において、350 nm node のデバイスの 8 層の critical 層に対して、電気計測による位置ズレ計測を行った結果、図 9 に示す結果を得た。図 9 から従来アライメント光学系の収差によって発生していた 90 nm にも及ぶ層間のアライメントバイアスは、CIS を尺度とした収差調整によって ± 20 nm 以下へと大幅な向上を達成した。

製造ラインにおけるロット間変動の制御技術の研究

加工精度の中で、製造ラインで現れるロット間変動は、リソ以外の様々なプロセス装置、プロセス条件、環境変動の影響を受けるために、原因系を全て改善して抑制することは現実的ではない。このような場合のロット間変動を抑制する技術として、結果系のトレンドから最適制御パラメータを予測する手法を提案し、その実証にあたり、リソグラフィプロセスの線幅と位置ズレを制御する専用のシステム (Lithography Management System) を構築した。本システムはトレンドデータが不定期で少なく散在する少量多品種の予測制御に対応した予測として、品種の類似性から基本となるトレンドデータを参照し、その差分を論理的に補正する手法を考案し取り入れている。本システムの製造ラインにおける構成図を図 10 に示し、本システム導入後の効果 (途中経過) を図 11 に示した。図 11 中の先行パイロット必要率は、最適露光量、あるいは位置ズレ制御パラメータを精度良く予測することができない場合、先行パイロットを流してその結果を本体ロットにフィードバックすることでロット全体の線幅規格、位置ズレ規格を達成するものであるが、生産性が大きく悪化するために削減することが大きな課題となっている項目である。図 11 から、パイロット必要率が 3 層で大きく改善されていることと、同時に、再生率も大きく減少していることがわかる。また、精度の尺度として工程能力 Cpk を用いその向上効果についても線幅、位置ズレ共に大きく改善することができた。

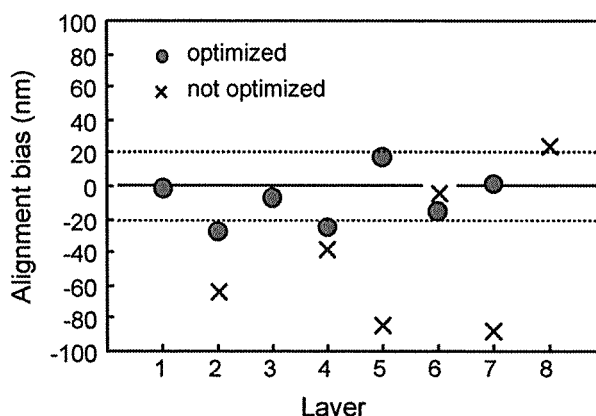


図 9 CIS 評価尺度による収差抑制の効果

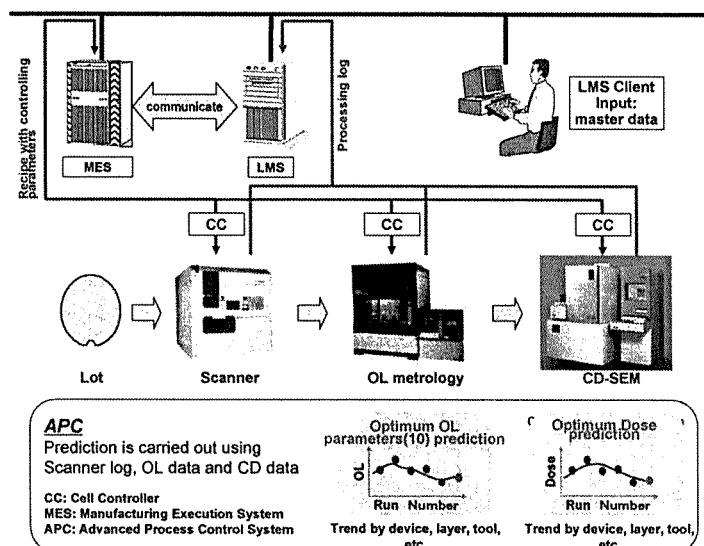


図 10 システム構成図

●先行パイロット必要率(%)

	Without LMS	With LMS
素子分離層	6.3	0.5
ゲート層	60.7	10.0
1stメタルビア層	53.3	5.2

●再生率(%)

	Without LMS	With LMS
素子分離層	1.7	1.8
ゲート層	7.9	2.2
1stメタルビア層	11.1	2.2

●線幅のCpk

	Without LMS	With LMS
素子分離層	1.61	1.97
ゲート層	1.83	2.00
1stメタルビア層	1.14	1.57

●位置ズレのCpk

	Without LMS	With LMS
素子分離層	—	—
ゲート層	1.47	1.97
1stメタルビア層	1.00	1.74

図 11 システム導入の効果

まとめ

以上述べてきたように、デバイスの微細化において大きな課題であるリソグラフィプロセスの加工精度のスケールアップを、線幅については、原因系である光近接効果補正技術を確認し、位置ズレに関しては、アライメント光学系の収差の抑制手法を確認することで解決を行った。さらに製造ラインで大きな問題であったロット間変動に関しても専用のシステムとアルゴリズムによって解決を図った。

論文審査結果の要旨

LSI (Large Scale Integration) における微細化はリソグラフィーとりわけ露光装置の技術革新に大きく依存して発展してきたが、パターン・位置合わせ精度で代表される加工精度は装置技術だけでは解決できないリソグラフィープロセス全体の課題になっている。次世代リソグラフィー技術開発においては、加工精度の変動要因を明らかにし、変動因子の具体的な制御技術を開発することが重要である。

本論文は、この課題を解決するために、リソグラフィーにおける加工精度向上のための技術の研究開発を行い、LSI 製造ラインにおける生産性の向上と両立するプロセス制御技術の提案及びその効果を実証したものであり、全文4章よりなる。

第1章は序論である。

第2章は、リソグラフィーにおけるパターンニングと位置合わせ精度について6節で構成している。第1節では、光近接効果補正の研究に不可欠の光学シミュレータの開発についてまとめている。

第2節では、微細化に伴い線幅精度の大半を占めるようになった光近接効果の現象を光学シミュレーションと実験によって解明し、特に MOS トランジスタ特性に最も敏感なゲートパターンの線幅制御手法を提案した。パターン歪補正テーブルを参照することにより、設計データ処理の CPU 負荷の問題を解消し、線幅補正誤差については従来比 1/10 を実現した。これは、実用的な光近接効果補正技術の先駆けとなる成果である。

第3節では、規則性の異なるパターンについてプロセスマージンを最大化する光近接効果補正の最適化手法を提案した。メモリセルと周辺回路でパターン規則性が大きく異なる DRAM のマスクパターンにバイアスかけることでパターン幅と位置を調整する方法の有効性を実証した。

第4節では、光反射防止膜を最適化する手法を提示した。また、定在波モニターを新たに開発し、1 nm オーダーの線幅変動が検知でき、反射防止プロセスが定量的に最適化出来たことは評価できる成果である。

第5節では、露光装置のアライメント光学系収差の影響をシミュレーションで評価し、収差低減にあたっての評価尺度を提案した。収差の原因である光学部品の配置のずれを高感度で定量的に把握できることを明らかにした。これにより、アライメント光学系の収差によるプロセス起因の位置制御誤差を従来比 1/5 に低減できたことはプロセス上有用である。

第6節では、エリプソメトリによる計測情報を使って実デバイスのフォーカスポイントを計測する手法を提案した。この手法により、 3σ で制御すると $0.2\mu\text{m}$ の精度で計測できることは評価できる。

第3章では、少量多品種 LSI の製造ラインで困難であった生産性と加工精度を両立するためのプロセス制御に関する独自のアルゴリズムと制御システムの提案を行った。これは製造現場で使われている。

第4章は結論である。

以上要するに本論文は、LSI 製造プロセスにおけるパターンニングと位置制御の課題を、リソグラフィープロセス全体から最適化する技術の提案を行い、その有効性を実証したものであり、半導体プロセス工学および電子工学の発展に寄与するところが少なくない。

よって、本論文は博士(工学)の学位論文として合格と認める。